

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

3 / Priority

Doc.

E. J. J. J. J.

11-30-01

USPTO  
JC903 U.S. PTO  
09/872007



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 5日

出願番号

Application Number:

特願2000-168072

出願人

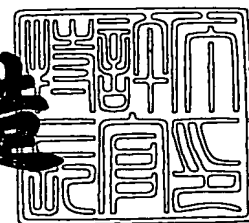
Applicant(s):

日本電気株式会社

2001年 3月16日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3019046

【書類名】 特許願

【整理番号】 74112115

【提出日】 平成12年 6月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316  
H01L 29/78

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号  
    日本電気株式会社内

    【氏名】 工藤 智彦

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号  
    日本電気株式会社内

    【氏名】 君塚 直彦

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100086759

    【弁理士】

    【氏名又は名称】 渡辺 喜平

【手数料の表示】

    【予納台帳番号】 013619

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001716

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ゲート酸化膜を形成する前に、半導体基板上の高い閾値の PMOSFET を形成すべき領域（以下、高 PMOSFET 領域）及び NMOSFET を形成すべき領域（以下、高 NMOSFET 領域）に対して、それぞれ異なる注入条件でフッ素イオンを注入した後、ゲート酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 ゲート酸化膜を形成する前に、半導体基板上の低い閾値の PMOSFET を形成すべき領域及び／または NMOSFET を形成すべき領域と、高い閾値の PMOSFET を形成すべき領域（以下、高 PMOSFET 領域）及び高い閾値の NMOSFET を形成すべき領域（以下、高 NMOSFET 領域）のうち、高 PMOSFET 領域及び高 NMOSFET 領域に対して、それぞれ異なる注入条件でフッ素イオンを注入した後、ゲート酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 3】 フッ素イオンの注入により、ゲート酸化膜の膜厚を厚くすることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 上記 PMOSFET を構成する N ウェル及び上記 NMOSFET を構成する P ウェルを形成する際に、高 PMOSFET 領域及び高 NMOSFET 領域に対して、それぞれフッ素イオンを注入することを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 高 PMOSFET 領域及び高 NMOSFET 領域に対するフッ素イオンの注入条件が、互いに独立して設定されることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 高 PMOSFET 領域及び高 NMOSFET 領域に対するフッ素イオンの注入条件が、高い閾値の PMOSFET 及び NMOSFET におけるゲート電流が互いに等しく、かつオフ電流よりも小さくなるように設定されることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 高 NMOSFET 領域に対するフッ素イオンの注入量が、 7

・  $0 \times 10^{14} \sim 1.2 \times 10^{15} / \text{cm}^2$ であることを特徴とする請求項4～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 高PMOSFET領域に対するフッ素イオンの注入量が、 $6.0 \times 10^{14} / \text{cm}^2$ 以下であることを特徴とする請求項4～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 半導体基板上にフィールド酸化膜を形成する工程と、  
半導体基板の表面にてフィールド酸化膜により画成された領域のうち、NMOSFETを形成すべき領域に、リソグラフィ法によりイオン注入してPウェルを形成する工程と、

NMOSFETを形成すべき領域のうち、高い閾値のNMOSFETを形成すべき領域（以下、高NMOSFET領域）に、所定の注入条件でフッ素イオンを注入する工程と、

PMOSFETを形成すべき領域に、リソグラフィ法によりイオン注入してNウェルを形成する工程と、

PMOSFETを形成すべき領域のうち、高い閾値のPMOSFETを形成すべき領域（以下、高PMOSFET領域）に、上記所定の注入条件より少ない注入量でフッ素イオンを注入する工程と、

上記各領域に、ゲート酸化膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項10】 高PMOSFET領域及び高NMOSFET領域に対するフッ素イオンの注入条件が、高い閾値のPMOSFET及びNMOSFETにおけるゲート電流が互いに等しく、かつオフ電流よりも小さくなるように、設定されることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 高NMOSFET領域に対するフッ素イオンの注入量が、 $7.0 \times 10^{14} \sim 1.2 \times 10^{15} / \text{cm}^2$ であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 高PMOSFET領域に対するフッ素イオンの注入量が、 $6.0 \times 10^{14} / \text{cm}^2$ 以下であることを特徴とする請求項10または11に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、同一半導体基板上に異なる膜厚のゲート酸化膜を有するPMOSFET及びNMOSFET、特に高い閾値のPMOSFET及びNMOSFETを備えた半導体装置の製造方法に関する。

## 【0002】

## 【従来の技術】

近年、CMOS-LSIの高性能、低消費電力を推進するために、基本素子であるMOSFETの半導体基板内における多様化が求められている。具体的には、従来の低い閾値のトランジスタに対して、高い閾値のトランジスタが、低消費電力回路を構成するために使用されるようになってきている。

## 【0003】

ところで、このような高い閾値のトランジスタにおいて、その絶縁膜としてのゲート酸化膜厚が、低い閾値のトランジスタと同じ例えば2.0nmである場合、通常使用されるオフ電流（例えば1~10pA/ $\mu$ 程度）よりも、ゲートリーク電流の方が大きくなってしまう。このため、閾値を高く設定した効果がなくなってしまう。

## 【0004】

例えば図8に示すように、横軸にゲート電圧 $V_g$ 、右の縦軸にゲート電流 $I_g$ 、左の縦軸にドレイン電流 $I_d$ をとって、トランジスタのサブスレシールド特性とゲートリーク特性を比較する。これにより、トランジスタがオンであるときのゲート電圧を印加したときのゲートリーク電流は、サブスレシールド特性によるオフ電流より大きいことが分かる。すなわち、トランジスタにおけるスタンバイ電流は、オフ電流ではなく、ゲートリーク電流によって支配されることになる。

## 【0005】

このような問題の対策として、半導体基板内において、部分的に、すなわち高い閾値のトランジスタのゲート酸化膜を厚くする方法が、例えば特開平10-335656号、特開平11-162973号等の開示されている。

これらは、ゲートリーク電流がゲート酸化膜厚に依存し、ゲート酸化膜を厚くすると、ゲートリーク電流が小さくなる現象に基づいている。

これらの方法によれば、ゲートリーク電流を低減した高い閾値のトランジスタを構成することができる。つまり、スタンバイ電流がオフ電流により支配され、消費電力が低減されるトランジスタを構成することができる。

#### 【0006】

ここで、高い閾値のトランジスタのゲート酸化膜のみを厚くする方法としては、例えばフッ素イオンを注入する方法がある。これは、フッ素注入した半導体基板上に成膜したゲート酸化膜は、フッ素注入なしの半導体基板上に成膜したゲート酸化膜と比較して、厚くなるという現象を利用している。

#### 【0007】

このようなフッ素注入を利用して、同一半導体基板上に複数の膜厚のゲート酸化膜を形成する従来の半導体装置の製造方法の一例を、例えば図9(a)～(b)に示す。

図9(a)に示すように、半導体基板20上に、フッ素イオンを選択的にイオン注入する。すなわち、低い閾値のトランジスタの領域の基板表面20aはフッ素注入されず、高い閾値のトランジスタの領域の基板表面20bのみにフッ素注入を行なう。

#### 【0008】

続いて、図9(b)に示すように、半導体基板20の表面全体にゲート酸化膜21を成膜する。この場合、フッ素注入された領域20bのゲート酸化膜21bは、フッ素注入なしの領域20aのゲート酸化膜21aと比較して、厚く形成される。

#### 【0009】

したがって、高い閾値のトランジスタの領域では、ゲート酸化膜21bが厚く形成されることにより、ゲートリーク電流が低減され、スタンバイ電流が低減されることになる。

#### 【0010】

【発明が解決しようとする課題】

ところで、一般に、NMOSFETにおけるチャネルーゲート間のゲートリーク電流は、PMOSFETにおけるゲートリーク電流より約一桁大きいことが知られている。これに対して、オフ電流は、NMOSFET, PMOSFETのいずれにおいてもほぼ等しい値に設定される。

#### 【0011】

このため、低消費電力を重要視した回路を半導体基板上に構成する場合、オフ電流を $1 \sim 10 \text{ pA} / \mu$ 程度に設定した高い閾値のトランジスタが使用される。ここで、このトランジスタのゲート酸化膜厚は、ゲートリーク電流の観点から、 $2.0 \text{ nm}$ 以下に設定することができない。これは、オフ電流より大きな値のゲートリーク電流がNMOSFETにて観測されないようにするためである。

他方、駆動能力（動作速度）を重要視した回路を半導体基板上に構成する場合、低い閾値のトランジスタが使用されるが、このトランジスタのゲート酸化膜厚は、駆動能力を高めるために、 $2.0 \text{ nm}$ 以下に設定することができる。

#### 【0012】

したがって、同一半導体基板上に、低い閾値のトランジスタと高い閾値のトランジスタを形成し、さらに低い閾値のトランジスタのゲート酸化膜厚を $2.0 \text{ nm}$ 以下にする場合、膜厚が異なるゲート酸化膜を少なくとも二種類成膜する必要がある。

#### 【0013】

このような異なる膜厚のゲート酸化膜を備えた半導体装置を製造する場合、前述したように、高い閾値のトランジスタの領域の半導体基板の表面に対して、フッ素イオンを注入し、続いてゲート酸化膜を成膜することにより、高い閾値のトランジスタのゲート酸化膜のみを厚くして、膜厚の異なるゲート酸化膜を同時に形成することができる。

#### 【0014】

しかしながら、このような製造方法によって、高い閾値のNMOSFETのゲートリーク電流を基準としてゲート酸化膜を形成した場合、ゲート酸化膜の厚膜化に伴って、高い閾値のPMOSFETの駆動能力が低下してしまうという問題があった。



## 【 0 0 1 5 】

本発明は、上記の問題を解決すべくなされたものであり、高い閾値のPMOS FETのゲート酸化膜の厚膜化を制限することにより、高い閾値のPMOS FETの駆動能力の低下をできるだけ防止するようにした、半導体装置の製造方法の提供を目的とする。

## 【 0 0 1 6 】

## 【課題を解決するための手段】

この目的を達成するため、本発明の請求項1記載の半導体装置の製造方法は、ゲート酸化膜を形成する前に、半導体基板上の高い閾値のPMOS FETを形成すべき領域（以下、高PMOS FET領域）及びNMOS FETを形成すべき領域（以下、高NMOS FET領域）に対して、それぞれ異なる注入条件でフッ素イオンを注入した後、ゲート酸化膜を形成する構成としてある。

## 【 0 0 1 7 】

半導体装置の製造方法をこのような構成とすると、高い閾値のPMOS FET及びNMOS FETを有する半導体装置を製造する場合、高PMOS FET領域及び高NMOS FET領域に対してフッ素イオンを注入することにより、形成されるゲート酸化膜の膜厚がフッ素イオンの注入により厚くされると共に、高PMOS FET領域及び高NMOS FET領域に対するフッ素イオンの注入条件が互いに異なることから、高PMOS FET領域及び高NMOS FET領域に形成されるゲート酸化膜の膜厚が互いに異なる。

## 【 0 0 1 8 】

この場合、各領域におけるゲート酸化膜の膜厚は、フッ素イオンの注入条件に対応して厚くなるので、各領域に対するフッ素イオンの注入条件を適宜に選定することによって、高PMOS FET領域のゲート酸化膜を高NMOS FET領域のゲート酸化膜より薄くすることにより、高NMOS FET領域では、高い閾値のPMOS FETより大きいゲートリーク電流に対応してゲート酸化膜の膜厚を設定することができると共に、高PMOS FET領域では、ゲート酸化膜を必要以上に厚くする必要がないので、高い閾値のPMOS FETの駆動能力の低下を抑制することができる。

## 【0019】

また、請求項2記載の半導体装置の製造方法は、ゲート酸化膜を形成する前に、半導体基板上の低い閾値のPMOSFETを形成すべき領域及び／またはNMOSFETを形成すべき領域と、高PMOSFET領域及び高NMOSFET領域のうち、高PMOSFET領域及び高NMOSFET領域に対して、それぞれ異なる注入条件でフッ素イオンを注入した後、ゲート酸化膜を形成する構成としてある。

## 【0020】

半導体装置の製造方法をこのような構成とすると、低い閾値のPMOSFET及び／またはNMOSFETと、高い閾値のPMOSFET及びNMOSFETを有する半導体装置を製造する場合、高PMOSFET領域及び高NMOSFET領域に対してフッ素イオンを注入することにより、形成されるゲート酸化膜の膜厚がフッ素イオンの注入により厚くされると共に、高PMOSFET領域及び高NMOSFET領域に対するフッ素イオンの注入条件が互いに異なることから、低い閾値のPMOSFET及び／またはNMOSFETを形成すべき領域と、高PMOSFET領域及び高NMOSFET領域に形成されるゲート酸化膜の膜厚が互いに異なる。

## 【0021】

この場合、各領域におけるゲート酸化膜の膜厚は、フッ素イオンの注入条件に対応して厚くなるので、低い閾値のPMOSFET及び／またはNMOSFETに対して、高い閾値のNMOSFET及びPMOSFETのゲートリーク電流が抑制され、さらに各領域に対するフッ素イオンの注入条件を適宜に選定することによって、高PMOSFET領域のゲート酸化膜を高NMOSFET領域のゲート酸化膜より薄くすることにより、高NMOSFET領域では、高い閾値のPMOSFETより大きいゲートリーク電流に対応してゲート酸化膜の膜厚を設定することができると共に、高PMOSFET領域では、ゲート酸化膜を必要以上に厚くする必要がないので、高い閾値のPMOSFETの駆動能力の低下を抑制することができる。

## 【0022】

請求項3記載の半導体装置の製造方法は、フッ素イオンの注入により、ゲート酸化膜の膜厚を厚くする構成としてある。

半導体装置の製造方法をこのような構成とすると、高PMOSFET領域及び高NMOSFET領域へのフッ素イオンの注入によって、高PMOSFET領域及び高NMOSFET領域のゲート酸化膜を低い閾値のPMOSFET及び／またはNMOSFETにおけるゲート酸化膜より厚くすることができると共に、フッ素イオンの注入量を調整することによって、高PMOSFET領域のゲート酸化膜を高NMOSFET領域のゲート酸化膜より薄くすることができる。

これにより、高NMOSFET領域では、高い閾値のPMOSFETより大きいゲートリーク電流に対応してゲート酸化膜の膜厚を設定することができると共に、高PMOSFET領域では、ゲート酸化膜を必要以上に厚くする必要がないので、高い閾値のPMOSFETの駆動能力の低下を抑制することができる。

#### 【0023】

請求項4記載の半導体装置の製造方法は、上記PMOSFETを構成するNウェル及び上記NMOSFETを構成するPウェルを形成する際に、高PMOSFET領域及び高NMOSFET領域に対して、それぞれフッ素イオンを注入する構成としてある。

半導体装置の製造方法をこのような構成とすると、Nウェル及びPウェルを形成する際に、それぞれ高PMOSFET領域及び高NMOSFET領域に対して、所望の注入条件でフッ素イオンを注入することができる。

#### 【0024】

請求項5記載の半導体装置の製造方法は、高PMOSFET領域及び高NMOSFET領域に対するフッ素イオンの注入条件が、互いに独立して設定される構成としてある。

半導体装置の製造方法をこのような構成とすると、高PMOSFET領域及び高NMOSFET領域に対して、それぞれ最適な厚さのゲート酸化膜を形成することができる。

#### 【0025】

請求項9記載の半導体装置の製造方法は、半導体基板上にフィールド酸化膜を

形成する工程と、半導体基板の表面にてフィールド酸化膜により画成された領域のうち、NMOSFETを形成すべき領域に、リソグラフィ法によりイオン注入してPウェルを形成する工程と、NMOSFETを形成すべき領域のうち、高NMOSFET領域に、所定の注入条件でフッ素イオンを注入する工程と、PMOSFETを形成すべき領域に、リソグラフィ法によりイオン注入してNウェルを形成する工程と、PMOSFETを形成すべき領域のうち、高PMOSFET領域に、上記所定の注入条件より少ない注入量でフッ素イオンを注入する工程と、上記各領域に、ゲート酸化膜を形成する工程と、を有する構成としてある。

## 【 0 0 2 6 】

半導体装置の製造方法をこのような構成とすると、高い閾値のPMOSFET及びNMOSFETを有する半導体装置を製造する場合、フィールド酸化膜により画成されたPMOSFETを形成すべき領域及びNMOSFETを形成すべき領域に対して、Nウェル及びPウェルを形成した後、高PMOSFET領域及び高NMOSFET領域に、フッ素イオンを注入して、ゲート酸化膜を形成することにより、高PMOSFET領域及び高NMOSFET領域におけるゲート酸化膜の膜厚がフッ素イオンの注入量に対応して厚くされる。

したがって、高PMOSFET領域及び高NMOSFET領域に対するフッ素イオンの注入条件を適宜に選定することによって、高PMOSFET領域のゲート酸化膜を高NMOSFET領域のゲート酸化膜より薄くして、高NMOSFET領域では、高い閾値のPMOSFETより大きいゲートリーク電流に対応してゲート酸化膜の膜厚を設定することができると共に、高PMOSFET領域では、ゲート酸化膜を必要以上に厚くする必要がないので、高い閾値のPMOSFETの駆動能力の低下を抑制することができる。

## 【 0 0 2 7 】

請求項6または請求項10記載の半導体装置の製造方法は、高PMOSFET領域及び高NMOSFET領域に対するフッ素イオンの注入条件が、高い閾値のPMOSFET及びNMOSFETにおけるゲート電流が互いに等しく、かつオフ電流よりも小さくなるように、設定される構成としてある。

請求項7または請求項11記載の半導体装置の製造方法は、高NMOSFET

領域に対するフッ素イオンの注入量が、 $7.0 \times 10^{14} \sim 1.2 \times 10^{15} / \text{cm}^2$  である構成としてある。

請求項 8 または請求項 1 2 記載の半導体装置の製造方法は、高 PMOS FET 領域に対するフッ素イオンの注入量が、 $6.0 \times 10^{14} / \text{cm}^2$  以下である構成としてある。

半導体装置の製造方法をこのような構成とすると、高い閾値の PMOS FET 及び NMOS FET において、ゲートリーク電流がスタンバイ電流を支配するようなことはなく、消費電力を低減することができる。

なお、高 NMOS FET 領域に対するフッ素イオンの注入量が  $7.0 \times 10^{14}$  未満の場合には、形成されるゲート酸化膜の膜厚が不足して、ゲートリーク電流が大きくなってしまふことになり、この注入量が  $1.2 \times 10^{15} / \text{cm}^2$  を超える場合には、形成されるゲート酸化膜の膜厚が厚すぎることになる。

また、高 PMOS FET 領域に対するフッ素イオンの注入量が  $6.0 \times 10^{14} / \text{cm}^2$  を超える場合には、形成されるゲート酸化膜の膜厚が厚すぎて、PMOS FET の駆動能力が低下することになる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

ここで、製造すべき半導体装置は、低い閾値のトランジスタとして NMOS FET 及び PMOS FET を有していると共に、高い閾値のトランジスタとして NMOS FET 及び PMOS FET を有している。

【0029】

〔第一実施形態〕

まず、本発明の半導体装置の製造方法の第一の実施形態について、図 1 ～ 図 7 に示す各工程における断面図を参照して説明する。

【0030】

図 1 に示すように、半導体基板 10 の表面に、各 MOS FET を形成すべき領域、すなわち低い閾値の NMOS FET を形成すべき領域（以下、低 NMOS FET 領域）及び PMOS FET を形成すべき領域（以下、低 PMOS FET 領域）

）と、高い閾値のNMOSFETを形成すべき領域（以下、高NMOSFET領域）及びPMOSFETを形成すべき領域（以下、高PMOSFET領域）を画成するためのフィールド酸化膜11を形成する。

#### 【0031】

次に、図2に示すように、リソグラフィ法により、低NMOSFET領域に対して、選択的にボロンイオンを注入して、Pウェル12を形成すると共に、高NMOSFET領域に対して、選択的にボロンイオンを注入して、Pウェル13を形成する。さらに、高NMOSFET領域に対して、選択的にフッ素イオンを、例えば注入量 $1.2 \times 10^{15} / \text{cm}^2$ 、加速エネルギー5keVの注入条件で注入する。

#### 【0032】

続いて、図3で示すように、リソグラフィ法により、低PMOSFET領域に対して、選択的にリンイオンを注入して、Nウェル14を形成すると共に、高PMOSFET領域に対して、選択的にリンイオンを注入して、Nウェル15を形成する。さらに、高PMOSFET領域に対して、選択的にフッ素イオンを、例えば注入量 $6.0 \times 10^{14} / \text{cm}^2$ 、加速エネルギー5keVの注入条件で注入する。

#### 【0033】

その後、図4で示すように、半導体基板10の表面全体にゲート酸化膜16を形成する。

これにより、フッ素イオン注入のない低NMOSFET領域及び低PMOSFET領域では、ゲート酸化膜16は、例えば2.0nmの膜厚になるが、フッ素イオンが注入された高NMOSFET領域及び高PMOSFET領域では、フッ素イオン注入の効果により、ゲート酸化膜の膜厚が厚くなる。

そして、フッ素イオンの注入量が、高PMOSFET領域より高NMOSFET領域で多いことから、高PMOSFET領域におけるゲート酸化膜16aの膜厚は例えば2.4nm、高NMOSFET領域におけるゲート酸化膜16bの膜厚は例えば2.7nmとなる。

#### 【0034】

次に、図5で示すように、ゲート酸化膜16の上から、半導体基板10の表面全体に、例えば150nmの膜厚の多結晶シリコン膜17を成膜した後、図6に示すように、リソグラフィ法及びエッチング法により、ゲート電極17aを形成する。

#### 【0035】

最後に、図7に示すように、半導体基板10の表面全体に、酸化シリコン膜を成膜して、エッチングによりゲート電極17aの側面を覆う酸化シリコン膜によるサイドウォール18を形成した後、サイドウォール18の外縁付近にて、各Nウェル12、13及びPウェル14、15の表面にイオン注入することにより、ソース電極19a及びドレイン電極19bを形成して、半導体装置が完成する。

#### 【0036】

このようにして製造された半導体装置によれば、高い閾値のMOSFETが、低い閾値のMOSFETに対して、より厚いゲート酸化膜16a、16bを有しているので、高い閾値のMOSFETにおけるゲートリーク電流はオフ電流より小さく抑えられる。

さらに、高い閾値のMOSFETにおいて、PMOSFETはNMOSFETよりもフッ素イオン注入量が少ないことから、PMOSFETにおけるゲート酸化膜16aがNMOSFETにおけるゲート酸化膜16bより薄く形成される。

したがって、ゲートリーク電流が大きい高い閾値のNMOSFETでは、より厚いゲート酸化膜16bによりゲートリーク電流が効果的に抑制されると共に、ゲートリーク電流が小さい高い閾値のPMOSFETでは、ゲート酸化膜16aが必要以上に厚く形成されることはないので、ドレイン電流の減少による駆動能力の低下が抑制されることになる。

#### 【0037】

#### 〔第二実施形態〕

次に、本発明の半導体装置の製造方法の第二の実施形態について、以下に説明する。

ここで、この第二の実施形態による半導体装置の製造方法は、第一の実施形態とほぼ同じ構成であり、高NMOSFET領域に対するイオン注入条件が異なる

のみであるから、その製造工程の詳細な説明は省略する。

この第二の実施形態による半導体装置の製造方法においては、高NMOSFET領域に対するイオン注入は、例えば注入量  $6.0 \times 10^{14} / \text{cm}^2$ 、加速エネルギー  $3 \text{ keV}$  の注入条件で行なわれる。

すなわち、この注入条件は、高PMOSFET領域に対する注入条件と比較して、注入量が同じであるが、加速エネルギーが小さい点でのみ異なる条件である。

#### 【0038】

このようにして製造された半導体装置によれば、高い閾値のMOSFETが、低い閾値のMOSFETに対して、より厚いゲート酸化膜を有しているので、そのゲートリーク電流はオフ電流より小さく抑えられる。

さらに、高い閾値のMOSFETにおいて、PMOSFETはNMOSFETよりもフッ素イオン注入の加速エネルギーが大きいことから、実際の注入量が少なくなり、PMOSFETにおけるゲート酸化膜がNMOSFETにおけるゲート酸化膜より薄く形成される。

したがって、ゲートリーク電流が大きい高い閾値のNMOSFETでは、より厚いゲート酸化膜によりゲートリーク電流が効果的に抑制されると共に、ゲートリーク電流が小さい高い閾値のPMOSFETでは、ゲート酸化膜が必要以上に厚く形成されることはないので、ドレイン電流の減少による駆動能力の低下が抑制されることになる。

#### 【0039】

上述した実施形態においては、製造すべき半導体装置は、低い閾値のPMOSFET及びNMOSFETを有しているが、これに限らず、低い閾値のPMOSFETまたは低い閾値のNMOSFETのいずれか一方のみを有する半導体装置であってもよい。

また、上述した実施形態においては、製造すべき半導体装置は、低い閾値のPMOSFET及びNMOSFETを有しており、これらはいずれもフッ素イオンが注入されていないが、ゲートリーク電流をほぼ等しくするために、低い閾値のNMOSFETの領域のみにフッ素イオンの注入が行なわれてもよい。



【 0 0 4 0 】

## 【発明の効果】

以上のように、本発明によれば、同一半導体基板上に、高い閾値のPMOSFET及びNMOSFETを形成する場合に、PMOSFET及びNMOSFETを形成すべき各領域に対して、異なる注入条件でフッ素イオンの注入を行なって、ゲートリーク電流がより小さいPMOSFETのゲート酸化膜をNMOSFETのゲート酸化膜より薄く形成することにより、PMOSFETにおけるゲート酸化膜が必要以上に厚くなることを防止して、PMOSFETの駆動能力の低下を抑制することができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 2】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 3】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 4】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 5】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 6】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

## 【図 7】

本発明の第一の実施形態による半導体装置の製造方法の各工程を順次に示す断面図である。

【図 8】

MOSFETのゲートリーク特性及びサブスレショルド特性を示すグラフである。

【図 9】

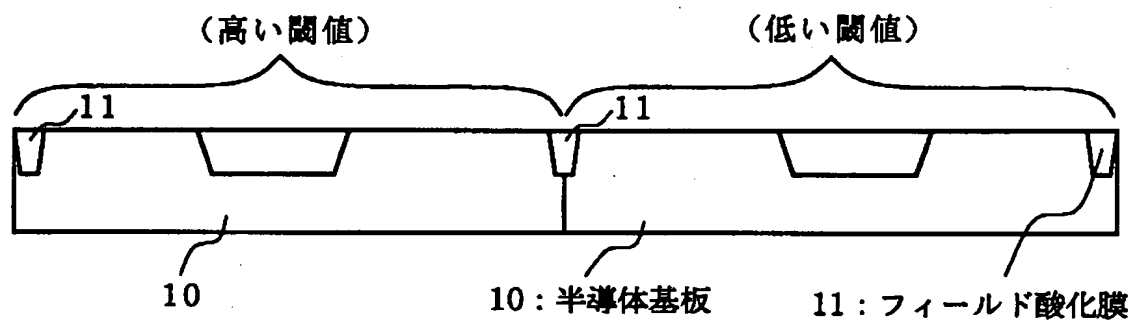
従来のフッ素イオン注入による異なる膜厚のゲート酸化膜の形成を示す概略図である。

【符号の説明】

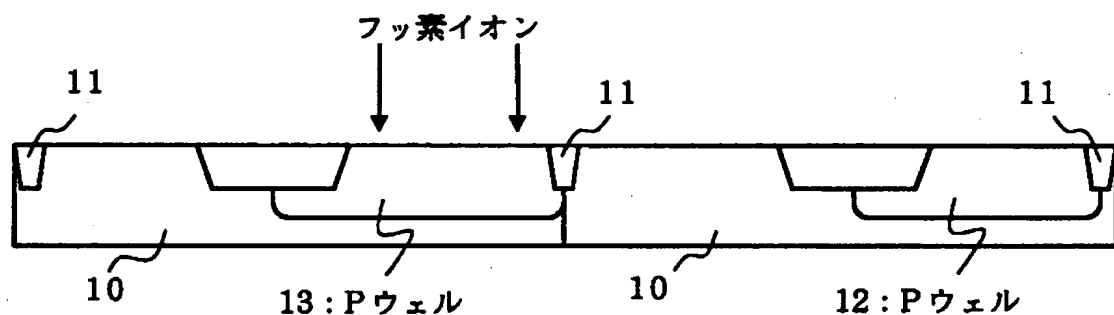
- 1 0 半導体基板
- 1 1 フィールド酸化膜
- 1 2, 1 3 Nウェル
- 1 4, 1 5 Pウェル
- 1 6, 1 6 a, 1 6 b ゲート酸化膜
- 1 7 多結晶シリコン膜
- 1 7 a ゲート電極
- 1 8 サイドウォール（酸化シリコン膜）
- 1 9 a ソース電極
- 1 9 b ドレイン電極

【書類名】 図面

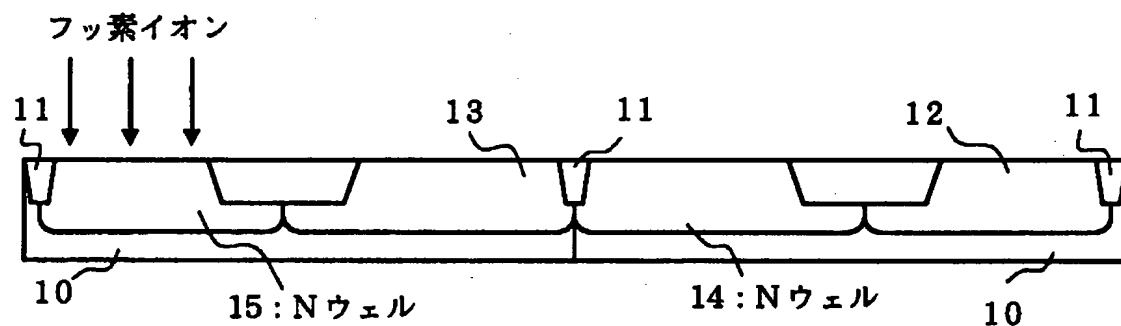
【図 1】



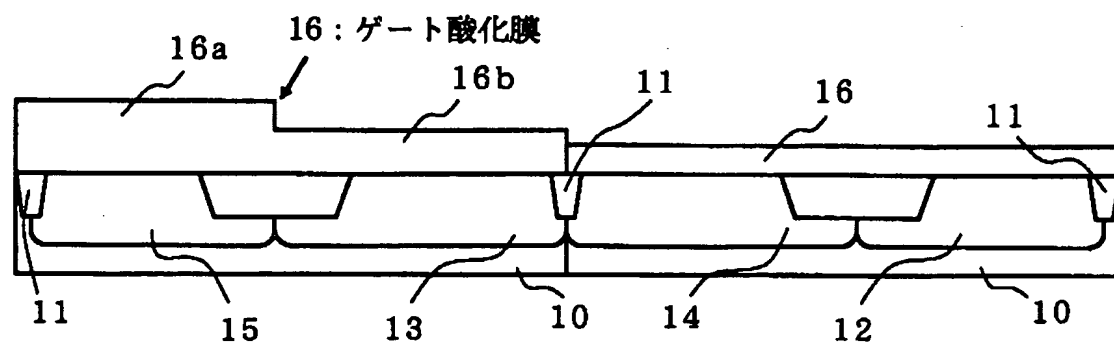
【図 2】



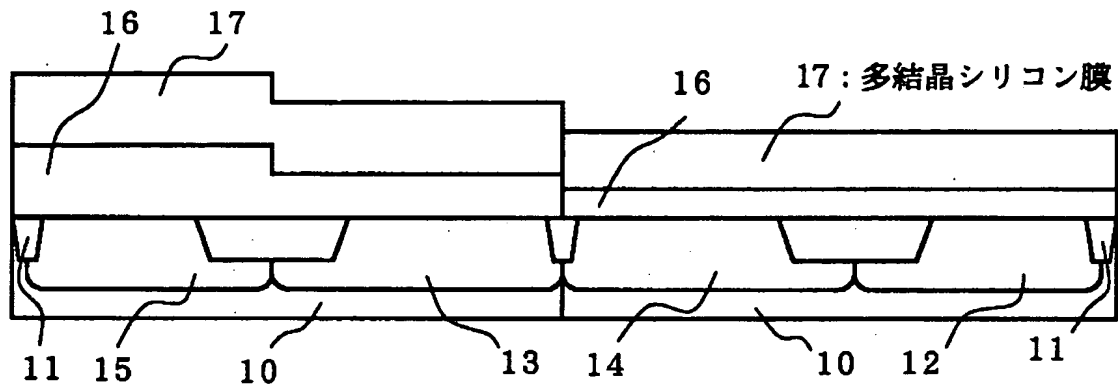
【図 3】



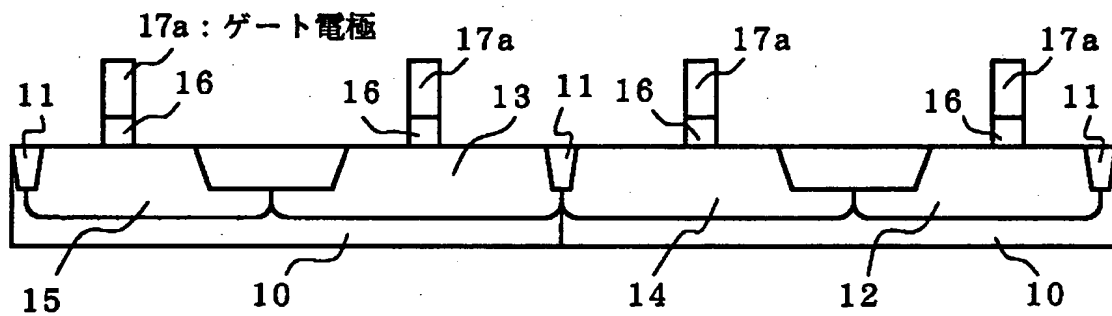
【図 4】



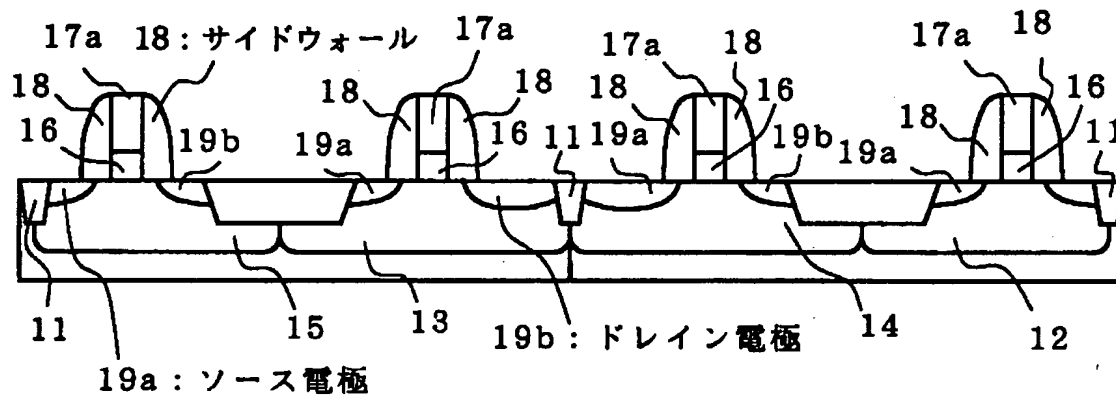
【図 5】



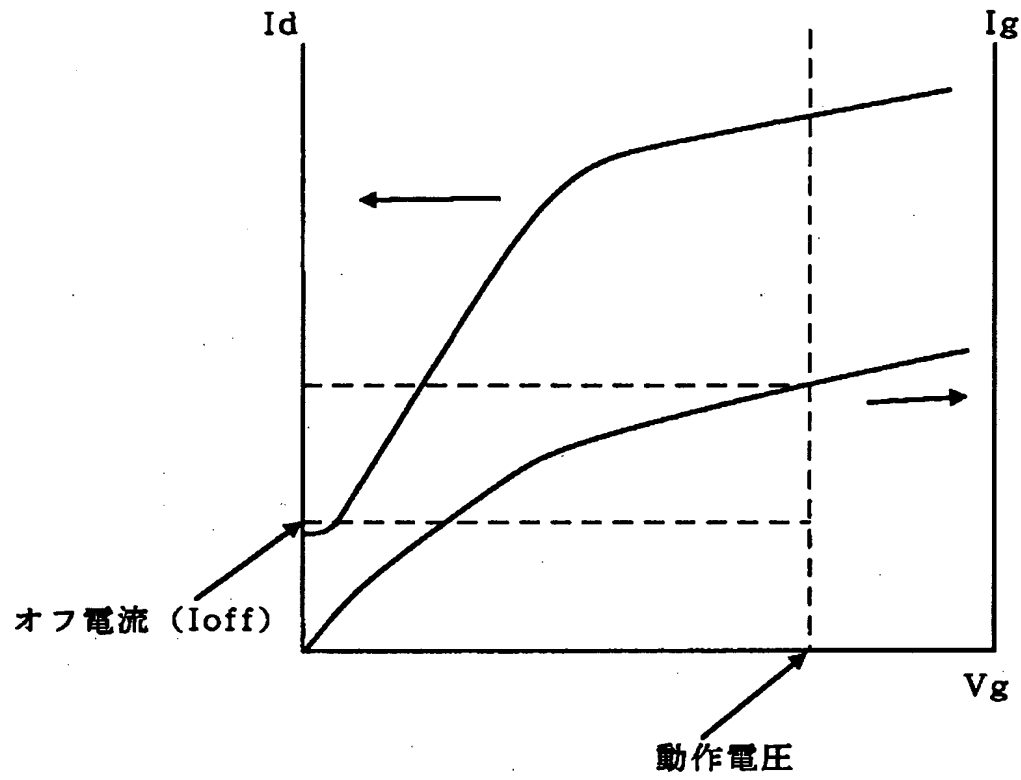
【図 6】



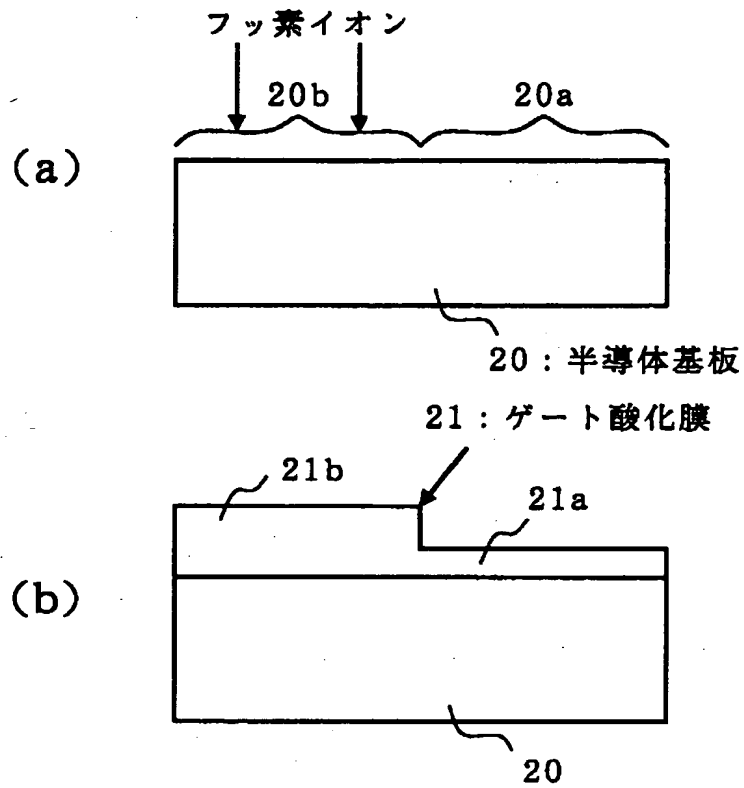
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 PMOSFETのゲート酸化膜の必要以上の厚膜化を防止し、駆動能力の低下をできるだけ低減する。

【解決手段】 高い閾値のPMOSFETを形成すべき領域及び高い閾値のNMOSFETを形成すべき領域に対して、それぞれ異なる注入条件でフッ素イオンを注入した後、ゲート酸化膜16を形成することにより、高い閾値のPMOSFETにおけるゲート酸化膜を、高い閾値のNMOSFETにおけるゲート酸化膜より薄くする。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社